



## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020059916 A  
 (43) Date of publication of application: 16.07.2002

(21) Application number: 1020010001076  
 (22) Date of filing: 09.01.2001

(71) Applicant: HYNIX SEMICONDUCTOR INC.  
 (72) Inventor: KIM, YEONG HUI  
 LEE, GYEONG MI  
 YANG, TAE HEUM

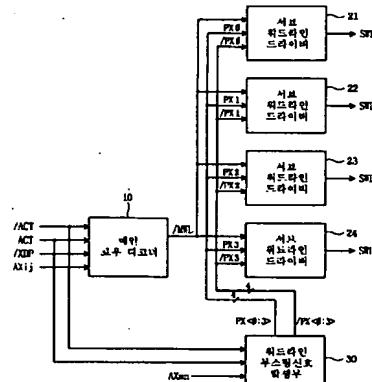
(51) Int. Cl G11C 8/08

## (54) WORD LINE CONTROL CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

## (57) Abstract:

PURPOSE: A word line control circuit of a semiconductor memory device is provided, which assures a process margin and reduces a sub threshold current by driving the word line using a hierachial negative voltage word line driving method.

CONSTITUTION: According to the word line control circuit of a semiconductor memory device having a hierarchical word line, a main row decoder(10) decodes an inputted row address. In the main row decoder, the first switching unit is connected between a high voltage and the first self biasing unit where the high voltage higher than a power supply voltage is applied as a back bias, and the second switching unit is connected between a low voltage and the second self biasing unit where the low voltage lower than a ground voltage is applied as a back bias. A plurality of sub word line drivers(21-24) drive a sub word line by a signal decoded by the main row decoder. And a word line boosting signal generation unit(30) applies a word line boosting signal to the sub word line driver by decoding an inputted upper row address.



COPYRIGHT KIPO 2003

## Legal Status

Date of final disposal of an application (20030224)  
 Patent registration number (1003854630000)  
 Date of registration (20030515)

BEST AVAILABLE COPY

AL

특 2002-0059916

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.  
G11C 8/08(11) 공개번호 특 2002-0059916  
(43) 공개일자 2002년 07월 16일

(21) 출원번호	10-2001-0001076
(22) 출원일자	2001년 01월 09일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	김영희 경기도미천시 창전동 49-1 현대 1차 아파트 102동 1205호 이경미 서울특별시 강동구 천호동 305-17번지 양태호 서울특별시 관악구 신림 1동 1624-8
(74) 대리인	이후동, 이정훈

실사점구 : 있음(54) 반도체 메모리 장치의 워드라인 제어회로**요약**

본 발명의 반도체 메모리 장치의 워드라인 제어 회로는 계층적 네거티브 전압 워드라인 구동 방식을 사용하고, 부가적인 채널 임플란테이션(channel implantation) 없이 삼중-웰 구조를 사용하여 N-웰과 P-웰 바이어스로 각각 고전압(VPP)과 저전압(VBB)을 인가하여 높은 문턱전압(hight-threshold voltage)을 갖는 모스 트랜지스터를 사용하기 때문에 전원전압(VDD) 단자 및 접지전압(VSS) 단자로 흐르는 서브 쓰레슬드 전류를 줄이고, 셀프 반전 바이어싱 방식(self-reverse biasing method)을 사용하여 고전압(VPP) 단자와 저전압(VBB) 단자를 통해 흐르는 서브 쓰레슬드 전류를 줄일 수 있다.

**도면****도 1****도면의 간단한 설명**

- 도 1은 증래 기술의 네거티브 전압 워드라인 드라이버를 보인 회로도.  
 도 2는 본 발명에 따른 반도체 메모리 장치의 워드라인 제어회로의 바람직한 실시예를 보인 블록도.  
 도 3은 도 2의 블록도에서 메인 로우 디코더를 보인 상세 회로도.  
 도 4는 도 2의 블록도에서 서브 워드라인 드라이버를 보인 상세 회로도.  
 도 5는 도 2의 블록도에서 워드라인 부스팅 신호 발생부를 보인 상세 회로도.  
 도 6은 도 3 및 도 5의 회로도에서 삼중-웰 구조에서 듀얼-문턱전압을 갖는 모스 트랜지스터를 보인 단면도.

## &lt; 도면의 주요부분에 대한 부호의 설명 &gt;

- 10 : 메인 로우 디코더  
 21-24 : 서브 워드라인 드라이버  
 30 : 워드라인 부스팅 신호 발생부  
 PM11-PM15, PM21, PM31-PM37 : 피모스 트랜지스터  
 NM11-NM16, NM21-NM22, NM31-NM39 : 엔모스 트랜지스터  
 INV11-INV12, INV21-INV22 : 인버터

**도면의 상세한 설명**

## 발명의 목적

### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 워드라인 제어회로에 관한 것으로, 보다 상세하게는 계층적인 네거티브 전압 워드라인 구동방식을 사용하고, 삼증-웹 구조를 사용하여 회로를 구성하고 셀프 반전 바이어싱 방식을 적용함으로써 서브 쓰레슬드 전류를 줄일 수 있는 반도체 메모리 장치의 워드라인 제어회로에 관한 것이다.

반도체 메모리 장치가 고집적화 됨으로써, 저전압으로 동작시키게 되는데, 저전압 동작에 의해 셀 전하가 줄어들게 되어 리프레시 시간이 줄어들게 되었다.

이를 개선하기 위해 셀로우(shallow) 백 바이어스 전압 레벨을 사용하여 리프레시 시간을 개선하였다.

그러나 이러한 방법은 셀 트랜지스터의 문턱전압을 낮추게 되어 턴 오프 상태에서의 서브 쓰레슬드(subthreshold) 전류가 증가하는 문제점이 발생하였다.

따라서, 이를 개선하기 위해 네거티브 전압 워드라인 드라이버를 사용하게 되었다.

도 1은 종래 기술에 따른 네거티브 전압 워드라인 드라이버를 보인 회로도이다.

이에 도시된 바와 같이, 로우 어드레스(AX1)를 디코딩 하는 로우 디코더(1)와, 로우 디코더(1)에 디코딩 된 신호에 의해 워드라인(WL)을 구동하기 위한 워드라인 드라이버(2)를 포함하여 구성된다.

여기서, 워드라인 드라이버(2)는 게이트에 전원전압(VDD)이 인가되어 로우 디코더(1)의 출력신호(DX)를 선택적으로 전송하는 엔모스 트랜지스터(NM1)와, 게이트에 접지전압(VSS)이 인가되어 로우 디코더(1)의 출력신호(DX)를 선택적으로 전송하는 피모스 트랜지스터(PM1)와, 소스에 고전압(VPP)이 인가되고 게이트가 서로의 드레인에 연결된 피모스 트랜지스터(PM2, PM3)와, 소스에 저전압(VBB)이 인가되고, 게이트가 서로의 드레인에 연결된 엔모스 트랜지스터(NM2, NM3)를 포함하여 구성된다. 여기서, 엔모스 트랜지스터(NM1)와 피모스 트랜지스터(PM1)는 문턱전압이 낮은 모스 트랜지스터로 구성된다.

피모스 트랜지스터(PM3)는 게이트에 인가된 엔모스 트랜지스터(NM1)에 의해 선택적으로 전송된 로우 디코더(1)의 출력신호(DX)에 따라 제어되어 워드라인(WL)을 구동하게 된다.

피모스 트랜지스터(PM2)는 게이트에 워드라인(WL)이 연결되어 워드라인(WL)의 레벨 상태에 따라 피모스 트랜지스터(PM3)의 게이트 전압을 조절한다. 즉, 워드라인(WL)의 레벨이 하이 레벨이면 피모스 트랜지스터(PM2)가 턴 오프 되어 로우 디코더(1)의 출력신호(DX)가 로우 레벨이기 때문에 피모스 트랜지스터(PM3)가 턴 온 상태를 유지하고, 워드라인(WL)의 레벨이 로우 레벨이면 피모스 트랜지스터(PM2)가 턴 온 되어 피모스 트랜지스터(PM3)를 턴 오프 시킨다.

엔모스 트랜지스터(NM3)는 게이트에 인가된 피모스 트랜지스터(PM1)에 의해 선택적으로 전송된 로우 디코더(1)의 출력신호(DX)에 따라 제어되어 워드라인(WL)을 구동하게 된다.

엔모스 트랜지스터(NM2)는 워드라인(WL)이 게이트에 연결되어 워드라인(WL)의 레벨 상태에 따라 엔모스 트랜지스터(NM3)의 게이트 전압을 조절한다. 즉, 워드라인(WL)의 레벨이 하이 레벨이면 엔모스 트랜지스터(NM2)가 턴 온 되어 엔모스 트랜지스터(NM3)를 턴 오프 시키고, 워드라인(WL)의 레벨이 로우 레벨이면 엔모스 트랜지스터(NM2)가 턴 오프 되어 로우 디코더(1)의 출력신호(DX)가 하이 레벨이기 때문에 엔모스 트랜지스터(NM3)가 턴 온 상태를 유지한다.

이와 같이 구성된 종래 기술에 따른 네거티브 워드라인 드라이버의 동작을 설명하면 다음과 같다.

먼저, 워드라인(WL)이 선택되지 않을 경우, 로우 디코더(1)의 출력신호(DX)가 하이 레벨이 되고, 따라서, 워드라인 드라이버(2)의 엔모스 트랜지스터(NM3)가 턴 온 되어, 워드라인(WL)의 전압이 로우 레벨(VBB)로 설정된다.

따라서, 피모스 트랜지스터(PM2)가 턴 오프 되어 선택되지 않은 워드라인(WL)의 전압은 셀로우(shallow) 백 바이어스 전압(VBB)(여기서는, 약 -0.5V)으로 유지된다.

한편, 워드라인(WL)이 선택되었을 경우, 로우 디코더(1)의 출력신호(DX)는 로우 레벨이 되어 엔모스 트랜지스터(NM3)는 턴 오프 되고, 피모스 트랜지스터(PM3)는 턴 온 되어 워드라인(WL)의 레벨이 하이 레벨(VPP)이 된다.

따라서, 선택된 메모리 셀을 액세스할 수 있게 된다.

이러한 종래 기술의 워드라인 구동 방법의 네거티브 전압 워드라인 드라이버는 계층적인 워드라인 구조가 아니기 때문에 워드라인 메탈 피치가 좁기 때문에 공정상의 마진이 없을 뿐만 아니라 스텐바이 시에 워드라인 드라이버(2)에서 발생되는 서브 쓰레슬드(subthreshold) 전류는 반도체 메모리 소자가 고집적화됨에 따라 무시할 수 없는 문제점으로 발생하였다.

### 발명이 이루고자 하는 기술적 과제

이와 같은 문제점을 해결하기 위한 본 발명의 목적은, 계층적인 네거티브 전압 워드라인 구동방식을 사용하여 워드라인 드라이버를 구동함으로써 공정 마진을 확보하고, 서브 쓰레슬드 전류를 줄이는 것이다.

본 발명의 다른 목적은 삼증-웹 구조를 이용하여 N-웹과 P-웹 바이어스로 각각 고전압(VPP)과 저전압(VBB)을 사용하여 전원전압(VDD)과 접지전압(VSS)으로 허르는 서브 쓰레슬드 전류를 줄이는 것이다.

본 발명의 또 다른 목적은 셀프 바이어싱 방식을 채택하여 워드라인 드라이버를 구성함으로써 고전압

(VPP)과 저전압(VBB) 단자로 흐르는 서브 쓰레슬드 전류를 줄이는 것이다.

### 발명의 구성 및 작동

상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 워드라인 제어회로는, 계층적 워드라인을 갖는 반도체 메모리 장치의 워드라인 제어회로에 있어서, 백 바이어스로 전원전압보다 높은 고전압을 인가하는 제1 셀프 바이어싱 수단과 상기 고전압 사이에 제1 스위칭 수단이 연결되고, 백 바이어스로 절지전압보다 낮은 저전압을 인가하는 제2 셀프 바이어싱 수단과 상기 저전압 사이에 제2 스위칭 수단이 연결되어, 입력된 로우 어드레스를 디코딩하는 메인 로우 디코더와, 상기 메인 로우 디코더에 의해 디코딩된 신호에 의해 서브 워드라인을 구동하는 복수개의 서브 워드라인 드라이버와, 백 바이어스로 전원전압보다 높은 고전압을 인가하는 제1 셀프 바이어싱 수단과 상기 고전압 사이에 제1 스위칭 수단이 연결되고, 백 바이어스로 절지전압보다 낮은 저전압을 인가하는 제2 셀프 바이어싱 수단과 상기 저전압 사이에 제2 스위칭 수단이 연결되어, 입력된 상위 로우 어드레스를 디코딩하여 워드라인 부스팅 신호를 상기 서브 워드라인 드라이버에 인가하는 워드라인 부스팅 신호 발생 수단을 포함하여 구성된 것을 특징으로 한다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

도 2는 본 발명에 따른 계층적 워드라인 구조의 반도체 메모리 장치의 워드라인 제어회로의 실시예를 보인 블록도이다.

이에 도시된 바와 같이, 반도체 메모리 장치의 워드라인 제어회로의 실시예는, 메인 로우 디코더(10), 4개의 서브 워드라인 드라이버(21-24) 및 워드라인 부스팅 신호 발생부(30)로 구성된다. 여기서는 하나의 메인 로우 디코더(10)에 의해 4개의 서브 워드라인(SWL0-SWL3)이 구동되는 경우를 예를 들어 설명한다.

메인 로우 디코더(10)는 로우 디코더 프리차지 신호(/XDP)에 의해 프리차지 되고, 액티브 신호(ACT, /ACT)에 의해 인에이터 되어 로우 어드레스(AX1j)를 디코딩하여 메인 워드라인 구동신호(/MWL)를 출력하고, 서브 워드라인 드라이버(21-24)는 메인 로우 디코더(10)의 메인 워드라인 구동신호(/MWL)에 의해 구동되어 워드라인 부스팅 신호(PX0-PX3, /PX0-/PX3)에 의해 서브 워드라인(SWL0-SWL3)을 구동하고, 워드라인 부스팅 신호 발생부(30)는 액티브 신호(ACT, /ACT)에 의해 인에이터 되어 상위 로우 어드레스(AXmn)를 디코딩하여 워드라인 부스팅 신호(PX<0:3>, /PX<0:3>)를 출력한다.

도 3은 도 2의 블록도에서 메인 로우 디코더(10)의 상세 회로도이다.

이에 도시된 바와 같이, 메인 로우 디코더(10)는 네거티브 전압 워드라인 드라이버로써, 전원전압(VDD)보다 높은 고전압(VPP)과 절지전압(VSS) 사이에 직렬 연결되고, 별크에 고전압(VPP)이 인가되고, 로우 디코더 프리차지 신호(/XDP)에 의해 제어되는 피모스 트랜지스터(PM11) 및 로우 어드레스(AX1j)가 게이트에 각각 인가되는 엔모스 트랜지스터(NM11-NM13)와, 피모스 트랜지스터(PM11)와 엔모스 트랜지스터(NM11)의 공통 연결된 드레인의 전압(A)을 반전시키는 인버터(INV11)와, 선택된 별크를 인에이터 시키기 위한 제어신호인 액티브 신호(ACT)의 반전된 신호(/ACT)에 의해 제어되어 고전압(VPP)을 인버터(INV11)에 인가하는 피모스 트랜지스터(PM12)와, 별크에 고전압(VPP)이 인가되고, 인버터(INV11)의 출력신호(B)에 의해 제어되어 피모스 트랜지스터(PM11)와 엔모스 트랜지스터(NM11)의 공통 연결된 드레인의 전압(A)을 래치하는 피모스 트랜지스터(PM13)와, 고전압(VPP)이 인가되고, 인버터(INV11)의 출력신호(B)를 반전시키는 인버터(INV12)와, 별크에 고전압(VPP)이 인가되고, 소스가 각각 인버터(INV11, INV12)의 출력단자에 연결되고, 게이트에 절지전압(VSS)이 인가되는 피모스 트랜지스터(PM14, PM15)와, 별크에 절지전압(VSS)보다 낮은 저전압(VBB)이 인가되고, 게이트가 서로의 드레인에 연결되어 각각 피모스 트랜지스터(PM14, PM15)의 드레인에 공통 연결되는 엔모스 트랜지스터(NM14) 및 소스가 저전압(VBB)에 연결된 엔모스 트랜지스터(NM15)와, 게이트에 액티브 신호(ACT)가 인가되어 제어되어 엔모스 트랜지스터(NM15)의 소스에 저전압(VBB)을 선택적으로 인가하는 엔모스 트랜지스터(NM16)를 포함하여 구성되며, 피모스 트랜지스터(PM15) 및 엔모스 트랜지스터(NM14)의 공통 연결된 드레인에서 메인 워드라인 구동신호(/MWL)가 출력된다.

도 4는 도 2의 블록도에서 서브 워드라인 드라이버(21)의 상세 회로도이다. 여기서는 4개의 서브 워드라인 드라이버(21-24)의 구성이 동일하기 때문에 하나의 서브 워드라인 드라이버(21)만의構성을 설명한다.

이에 도시된 바와 같이, 서브 워드라인 드라이버(21)는 워드라인 부스팅 신호 발생부(30)의 워드라인 부스팅 신호(PX0)와 저전압(VBB) 사이에 직렬 연결되고, 게이트가 공통 연결되어 메인 워드라인 구동신호(/MWL)가 인가되고, 공통 연결된 드레인이 서브 워드라인(SWL0)에 연결되어 서브 워드라인(SWL0)을 구동하는 별크에 고전압(VPP)이 인가되는 피모스 트랜지스터(PM21) 및 별크에 저전압(VBB)이 인가되는 엔모스 트랜지스터(NM21)와, 별크에 저전압(VBB)이 인가되고, 게이트에 반전된 워드라인 부스팅 신호(/PX0)가 인가되어 서브 워드라인(SWL)이 플로우팅 되는 것을 방지하는 엔모스 트랜지스터(NM22)를 포함하여 구성된다.

도 5는 도 2의 블록도에서 워드라인 부스팅 신호 발생부(30)의 상세 회로도이다.

이에 도시된 바와 같이, 워드라인 부스팅 신호 발생부(30)는 상위 로우 어드레스(AXmn)를 디코딩 하는 넌드게이트(ND1)와, 빈드게이트(ND1)의 출력신호(D)를 반전시키는 인버터(INV21)와, 액티브 신호(ACT, /ACT)에 의해 제어되어 저전압(VBB)을 선택적으로 전송하는 엔모스 트랜지스터(NM31)와, 반전된 액티브 신호(/ACT)에 의해 제어되어 고전압(VPP)을 선택적으로 전송하는 피모스 트랜지스터(PM31)와, 별크에 고전압(VPP)이 인가되고, 게이트가 서로의 드레인에 연결되고, 소스에 고전압(VPP)이 인가된 피모스 트랜지스터(PM32) 및 소스에 피모스 트랜지스터(PM31)에 의해 선택적으로 전송된 고전압(VPP)이 인가되는 피모스 트랜지스터(PM33)와, 별크에 저전압(VBB)이 인가되고, 게이트가 서로의 드레인에 연결되고, 소스에 저전압(VBB)이 인가된 엔모스 트랜지스터(NM32) 및 소스에 엔모스 트랜지스터(NM31)에 의해 선택적으로 전송된 저전압(VBB)이 인가된 엔모스 트랜지스터(NM33)와, 게이트가 공통 연결되어 전원전압(VDD)이 인가되고, 드레인에 각각 피모스 트랜지스터(PM32, PM33)의 드레인에 공통 연결된 엔모스 트랜지스터(NM34, NM35)와, 게이

트가 공통 연결되어 절지전압(VSS)이 인가되고, 드레인이 각각 엔모스 트랜지스터(NM33, NM32)의 드레인에 공통 연결된 피모스 트랜지스터(PM34, PM35)와, 고전압(VPP)과 엔모스 트랜지스터(NM31) 사이에 직렬 연결되고, 별크에 고전압(VPP)이 인가되고, 게이트가 피모스 트랜지스터(PM33) 및 엔모스 트랜지스터(NM35)의 공통 연결된 드레인에 연결된 피모스 트랜지스터(PM36)와 게이트에 전원전압(VDD)이 인가된 엔모스 트랜지스터(NM36)와 별크에 저전압(VBB)이 인가되고, 게이트가 피모스 트랜지스터(PM35) 및 엔모스 트랜지스터(NM32)의 공통 연결된 드레인에 연결된 엔모스 트랜지스터(NM36)와, 게이트가 공통 연결되어 피모스 트랜지스터(PM36) 및 엔모스 트랜지스터(37)의 공통 연결된 드레인에 연결되고, 별크에 고전압이 인가된 피모스 트랜지스터(PM37) 및 별크에 저전압(VBB)이 인가된 엔모스 트랜지스터(NM38)와, 피모스 트랜지스터(PM37)의 드레인과 엔모스 트랜지스터(NM38)의 드레인 사이에 연결되어 게이트에 전원전압(VDD)이 인가된 엔모스 트랜지스터(NM39)를 포함하여 구성된다.

여기서, 엔모스 트랜지스터(NM34, NM35) 및 피모스 트랜지스터(PM34, PM35)의 공통 연결된 드레인이 낸드 게이트(ND1)의 출력단자 및 인버터(INV21)의 출력단자에 각각 연결된다.

피모스 트랜지스터(PM37)와 엔모스 트랜지스터(NM39)의 공통 연결된 드레인이 출력단자를 형성하여 워드리인 부스팅 신호( $/PX<0:3>$ )를 출력하고, 이를 인버터(INV22)를 사용하여 반전된 워드리인 부스팅 신호( $/PX<0:3>$ )를 출력한다.

이와 같이 구성된 본 발명의 반도체 메모리 장치의 워드리인 제어회로의 스탠바이 모드(stand-by mode)에 서의 동작을 설명하면 다음과 같다. 여기서는, 반도체 메모리 장치의 워드리인 제어회로의 스탠바이 모드 상태만을 설명한다. 왜냐하면 서브 쓰레슬드 전류가 흐르는 경우는 스탠바이 모드 상태에서이기 때문이다.

먼저, 스탠바이 모드(stand-by mode)에서 서브 워드리인(SWL0-SWL3)의 전압은 네거티브 전압인 저전압(VBB)으로 설정된다.

또한, 스탠바이 모드에서 로우 디코더 프리차지 신호( $/XDP$ )가 로우 레벨이므로 신호(A)는 고전압(VPP), 인버터(INV11)의 출력신호(B)는 절지전압(VSS), 인버터(INV12)의 출력신호(C)는 고전압(VPP), 노드(N11)의 전압은 저전압(VBB)이 된다. 따라서, 메인 워드리인 구동신호(/MWL)는 고전압(VPP)이 된다.

이때, 서브 쓰레슬드 전류는 엔모스 트랜지스터(NM15), 인버터(INV11)의 피모스 트랜지스터(미도시) 및 인버터(INV12)의 엔모스 트랜지스터(미도시)에서 흐르게 되는데, 셀프-반전 바이어싱(self-reverse biasing) 방식을 사용하여 이러한 서브 쓰레슬드 전류를 줄일 수 있다. 즉, 고전압(VPP)을 반전된 액티브 신호(ACT)에 의해 제어되는 피모스 트랜지스터(PM12)에 의해 스탠바이 모드에서는 차단하고, 저전압(VBB)을 액티브 신호(ACT)에 의해 제어되는 엔모스 트랜지스터(NM16)에 의해 스탠바이 모드에서는 차단하여 각각 고전압(VPP)과 저전압(VBB)으로 흐르는 서브 쓰레슬드 전류를 줄일 수 있다.

스탠바이 모드에서 액티브 신호(ACT)가 로우 레벨이기 때문에, 피모스 트랜지스터(PM12)와 엔모스 트랜지스터(NM16)는 턴 오프 되어 있다. 따라서, 반복적으로 배치되어 있는 메인 로우 디코더(10)에서 고전압(VPP)과 저전압(VBB)으로 흐르는 서브 쓰레슬드 전류는 피모스 트랜지스터(PM12)와 엔모스 트랜지스터(NM16)의 채널 쪽에 의해 결정된다.

또한, 인버터(INV11)의 피모스 트랜지스터(미도시)의 N-웰(N-well)과 인버터(INV12)의 엔모스 트랜지스터(미도시)의 P-웰(P-well)은 도 6에 도시된 바와 같이, 각각 고전압(VPP)과 저전압(VBB)에 연결되어 있기 때문에 인버터(INV11)의 피모스 트랜지스터(미도시)와 인버터(INV12)의 엔모스 트랜지스터(미도시)는 높은 문턱전압(hight-Vt)을 갖기 때문에 인버터(INV11, INV12)를 통해 흐르는 서브 쓰레슬드 전류는 무시할 만큼 작아지게 된다.

또한, 도 5에 도시된 워드리인 부스팅 신호 발생부(30)의 피모스 트랜지스터(PM33, PM37), 엔모스 트랜지스터(NM33, NM36) 및 인버터(INV21)의 피모스 트랜지스터(미도시)를 통해 서브 쓰레슬드 전류가 흐르게 된다.

여기서, 인버터(INV21)의 피모스 트랜지스터(미도시)를 통해 흐르는 서브 쓰레슬드 전류는 도 6에 도시된 바와 같이 N-웰을 고전압(VPP)에 연결하여 높은 문턱전압을 갖기 때문에 무시할 만큼 작아지게 된다.

피모스 트랜지스터(PM33, PM37)를 통해 흐르는 서브 쓰레슬드 전류를 줄이기 위해 스탠바이 모드에서는 반전된 액티브 신호(/ACT)에 의해 제어되는 피모스 트랜지스터(PM31)가 턴 오프 되어 고전압(VPP)이 피모스 트랜지스터(PM33, PM37)에 인가되지 않도록 한다.

마찬가지로, 엔모스 트랜지스터(NM33, NM36)를 통해 흐르는 서브 쓰레슬드 전류를 줄이기 위해 스탠바이 모드에서는 액티브 신호(ACT)에 의해 제어되는 엔모스 트랜지스터(NM31)가 턴 오프 되어 저전압(VBB)이 엔모스 트랜지스터(NM33, NM36)에 인가되지 않도록 한다.

이와 같이 메인 로우 디코더(10) 및 워드리인 부스팅 신호 발생부(30)에서 흐르게 되는 서브 쓰레슬드 전류를 줄일 수 있다.

#### **본 발명의 효과**

이상에서 살펴본 바와 같이, 본 발명에 따른 반도체 메모리 장치의 워드리인 제어회로는 계층적인 워드리인 구조를 사용함으로써 메탈 워드리인에서의 공정 마진을 확보하고, 서브 쓰레슬드 전류를 줄이기 위해 계층적인 네거티브 전압 워드리인 구동 방식을 사용하고, 부가적인 채널 임플란테이션(channel implantation) 없이 삼중-웰(triple-well) 구조를 이용하여 N-웰과 P-웰 바이머스로 각각 고전압(VPP)과 저전압(VBB)을 인가하여 높은 문턱전압을 갖는 모스 트랜지스터를 사용하여 전원전압(VDD) 단자와 절지전압(VSS) 단자로 흐르는 전류를 줄이고, 셀프-반전 바이어싱 방식(self-reverse biasing)을 사용하여 고전압(VPP) 단자와 저전압(VBB) 단자로 흐르는 전류를 줄일 수 있는 효과가 있다.

마지막으로 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기

슬직 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이다. 이러한 수정 변경 등을 이 허의 특허청구범위에 속하는 것으로 보아야 할 것이다.

#### (5) 청구의 범위

##### 청구항 1

계층적 워드라인을 갖는 반도체 메모리 장치의 워드라인 제어회로에 있어서,

백 바이어스로 전원전압보다 높은 고전압이 인가되는 제1 셀프 바이어싱 수단과 상기 고전압 사이에 제1 스위칭 수단이 연결되고, 백 바이어스로 접지전압보다 낮은 저전압이 인가되는 제2 셀프 바이어싱 수단과 상기 저전압 사이에 제2 스위칭 수단이 연결되어, 입력된 상위 로우 어드레스를 디코딩하여 워드라인 부스팅 신호를 상기 서브 워드라인 드라이버에 인가하는 워드라인 부스팅 신호 발생 수단을 포함하여 구성된 것을 특징으로 하는 반도체 메모리 장치의 워드라인 제어회로.

상기 메인 로우 디코더에 의해 디코딩 된 신호에 의해 서브 워드라인을 구동하는 복수개의 서브 워드라인 드라이버,

백 바이어스로 상기 고전압이 인가되는 제1 셀프 바이어싱 수단과 상기 고전압 사이에 제1 스위칭 수단이 연결되고, 백 바이어스로 상기 저전압이 인가되는 제2 셀프 바이어싱 수단과 상기 저전압 사이에 제2 스위칭 수단이 연결되어, 입력된 상위 로우 어드레스를 디코딩하여 워드라인 부스팅 신호를 상기 서브 워드라인 드라이버에 인가하는 워드라인 부스팅 신호 발생 수단을 포함하여 구성된 것을 특징으로 하는 반도체 메모리 장치의 워드라인 제어회로.

##### 청구항 2

제 1 항에 있어서,

스탠바이 모드에서,

상기 제1 스위칭 소자는 상기 제1 셀프 바이어싱 수단의 백 바이어스로 고전압이 인가되는 것을 차단하고,

상기 제2 스위칭 수단은 상기 제2 셀프 바이어싱 수단의 백 바이어스로 상기 저전압이 인가되는 것을 차단하는 것을 특징으로 하는 반도체 메모리 장치의 워드라인 제어회로.

##### 청구항 3

제 1 항에 있어서,

상기 스위칭 소자는 선택된 뱅크를 액티브 시키기 위한 제어신호에 의해 제어되는 것을 특징으로 하는 반도체 메모리 장치의 워드라인 제어회로.

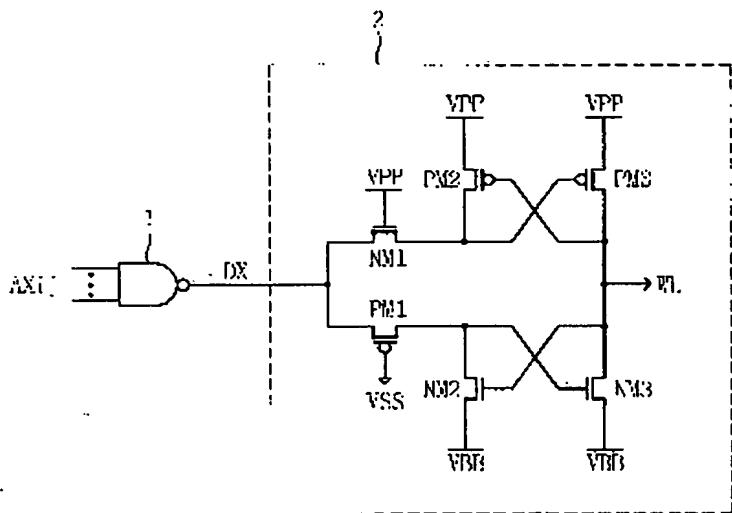
##### 청구항 4

제 1 항에 있어서,

상기 셀프 바이어싱 수단은 삼중 웨 구조로 형성되는 것을 특징으로 하는 반도체 메모리 장치의 워드라인 제어회로.

#### 도면

도면 1



도면2

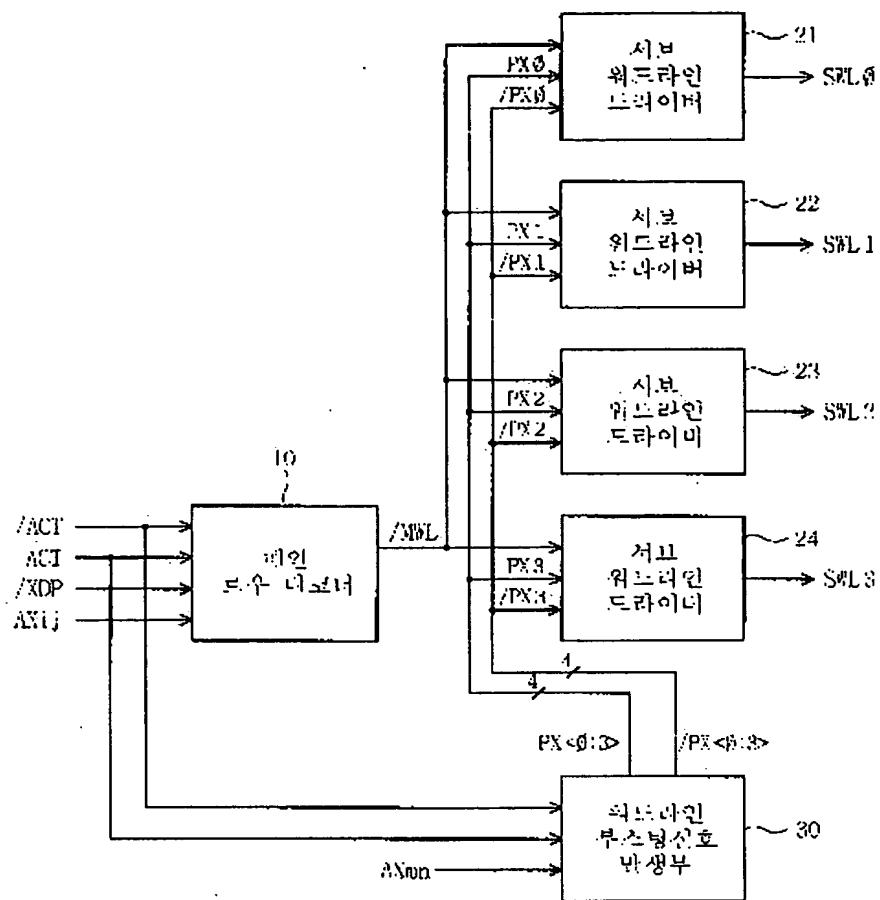


FIG3

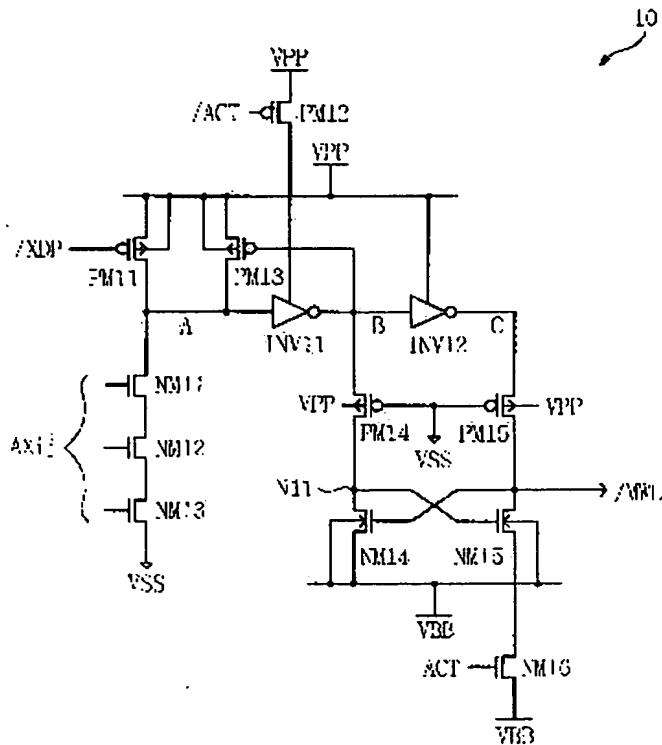
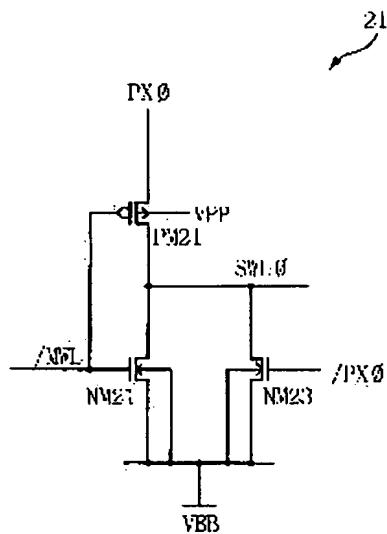
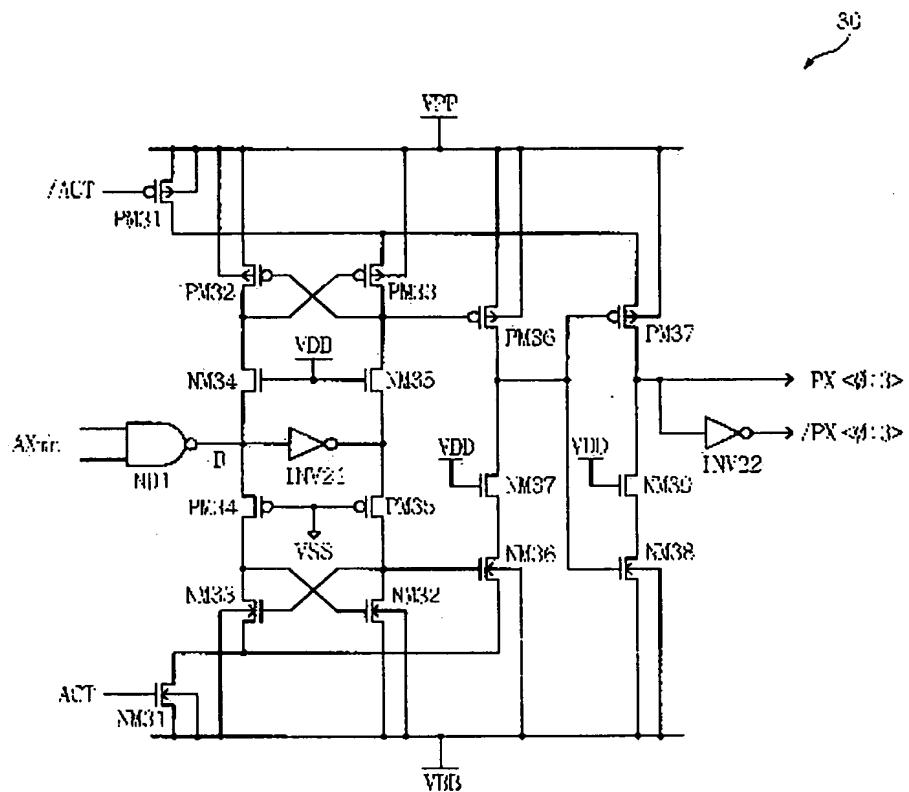


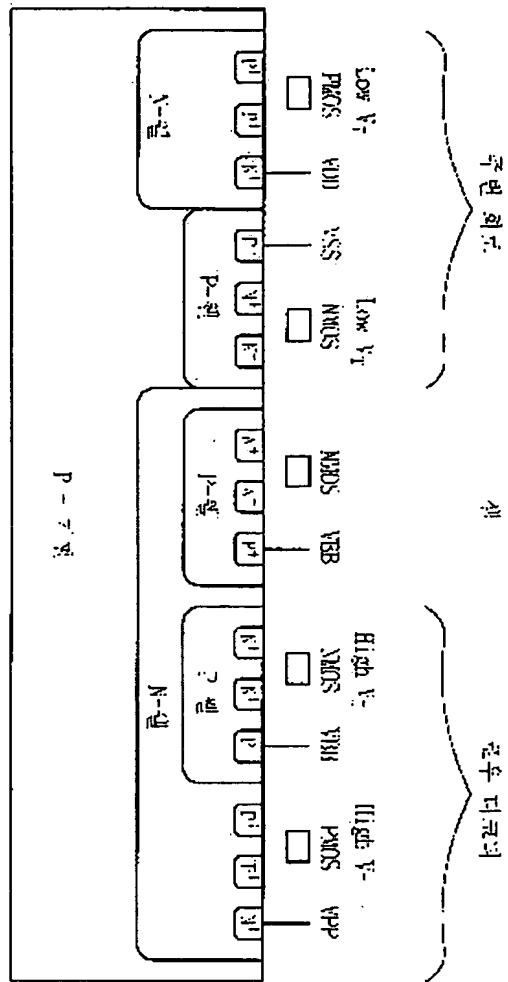
FIG4



S05



도면



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**